

**TESTING CIRCUIT OF LOGIC CIRCUIT SYSTEM**

Patent Number: JP5142298  
Publication date: 1993-06-08  
Inventor(s): KOGA KOICHI; others: 02  
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD  
Requested Patent: ☐ JP5142298  
Application Number: JP19910310538 19911126  
Priority Number(s):  
IPC Classification: G01R31/28  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To facilitate a test by a method wherein a block to be tested is selected arbitrarily from a plurality of blocks grouped by a scan path and a scan path length is made changeable to the necessary minimum.

**CONSTITUTION:** At the time when a system is tested, first a test mode changeover signal of a test mode changeover terminal 7 is switched to a high level before a scan operation is started. Then a clock signal of a scan clock input terminal 8 is selected as an output clock of a switch circuit 10. In the other scan path for setting a test mode, test mode setting data are inputted from a scan-in terminal 12 synchronously with a scan clock of a scan clock input terminal 15 so that only a test mode setting signal for an object block be of a high level, and a value is set in test mode FFs 111 to 11n. By clock input gate circuits 161 to 16n, according to this constitution, a clock input is supplied only to the block to be tested out of FF groups 21 to 2n for a scan test.

---

Data supplied from the esp@cenet database - 12

TOP

2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-142298

(43) 公開日 平成5年(1993)6月8日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

6912-2G

G 0 1 R 31/28

G

審査請求 未請求 請求項の数3(全6頁)

(21) 出願番号 特願平3-310538

(22) 出願日 平成3年(1991)11月26日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 古賀 弘一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 平山 勝啓

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 山根 一郎

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

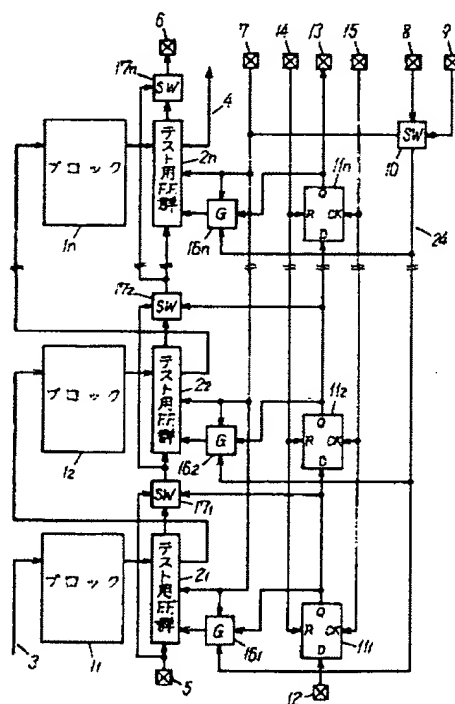
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 論理回路システムのテスト回路

(57) 【要約】

【目的】 スキャンバステスト手法を考慮した論理回路システムにおいて、テストを容易化する。

【構成】 スキャンバスによりグループ化された複数のブロック1<sub>1</sub>~1<sub>n</sub>の中から、任意にテスト対象ブロックを選択し、テスト時のスキャンバス長をその対象ブロックのテストのために必要最小限な長さに変更可能とした。テスト対象ブロック1<sub>1</sub>~1<sub>n</sub>を選択する手段として、各ブロックのテストモード設定用にフリップフロップ11<sub>1</sub>~11<sub>n</sub>を直列接続し、前記スキャンバスとは別にもう一つのテストモード設定用スキャンバスを設けた。また、スキャンバス長の変更は、ブロック間のスキャンバスの接続を変更するスイッチ回路10で可能とした。



## 【特許請求の範囲】

【請求項1】 スキャンパスによりグループ化されたスキャンバステスト手法を考慮した論理回路システムの複数のブロックの中から、任意にテスト対象ブロックを選択し、かつテスト時のスキャンバス長を前記テスト対象ブロックのテストのために最小限必要な長さに変更可能なことを特徴とする論理回路システムのテスト回路。

【請求項2】 スキャンパスによりグループ化されたスキャンバステスト手法を考慮した論理回路システムの複数のブロックの中から、任意にテスト対象ブロックを選択するための手段として、前記テスト対象ブロック各ブロックについてテストモード設定用フリップフロップを設け、前記フリップフロップを直列に接続し、前記スキャンバスとは別に第2のテストモード設定用スキャンバスを具備することを特徴とする請求項1記載の論理回路システムのテスト回路。

【請求項3】 テストスキャンバス長を任意に変更するための手段として、テスト対象ブロック各ブロックに対応するスキャンバステスト用フリップフロップ群の初段入力について、前ブロックに対応するスキャンバステスト用フリップフロップ群の最終段出力を前記ブロックのスキャンバステスト用フリップフロップ群の初段入力に入力するか、あるいは、前ブロックをスキップして前ブロックに対応するスキャンバステスト用フリップフロップ群の初段入力を入力するかを決定するスイッチ回路を具備し、前記スイッチ回路はテストモード設定用フリップフロップに設定された値により制御されることを特徴とする請求項1または請求項2記載の論理回路システムのテスト回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、スキャンバステスト手法を考慮した論理回路システムのテスト回路に関するものである。

## 【0002】

【従来の技術】 近年、論理システムの大規模化・複雑化には目ざましいものがあり、またそのテストにおいても内容は複雑化し、故障検出率（テストバリエーション）向上のための莫大なテストプログラム開発工数が必要とされるようになってきており、その効率化が課題となっている。このような大規模な論理システムのテストに対し、スキャンバス方式を採用する事例が増加してきている。

【0003】 以下、従来のスキャンバス回路を図面を参照して説明する。論理システム回路における記憶回路（フリップフロップ等）をスキャンテスト用のフリップフロップに置換し、機能ブロック毎あるいはタイミング毎にブロック分割できるようにスキャンテスト用フリップフロップの直列接続経路を形成することにより、従来のスキャンバス手法によるテスト容易化回路を構成することができる。

【0004】 図2は従来のスキャンバス回路を示す図である。図2において、1<sub>1</sub>～1<sub>n</sub>は分割された機能ブロック、2<sub>1</sub>～2<sub>n</sub>はスキャンバステスト用フリップフロップ群で、機能ブロック1<sub>1</sub>～1<sub>n</sub>の各々のブロックの出力を格納し、次段の機能ブロックへの入力データとし、かつ各々のフリップフロップがテストモード時に直列接続されるように構成されている。3は初段の機能ブロック1<sub>1</sub>の入力信号群、4は最終段のブロック1<sub>n</sub>からスキャンバステスト用フリップフロップ群2<sub>n</sub>を経由した出力信号群、5はテスト用のスキャンイン端子であり、スキャンバステスト用フリップフロップ群2<sub>1</sub>のスキャン入力に接続される。また、各スキャンバステスト用フリップフロップ群2<sub>1</sub>～2<sub>n</sub>のスキャン出力は次段のスキャン入力に接続され、論理システム全体でスキャンバスが直列接続される。また、最終機能ブロックのフリップフロップ群2<sub>n</sub>のスキャン出力はテスト用のスキャンアウト端子6に接続される。7はテストモード切換え端子であり、8、9はそれぞれノーマルモード用のクロック入力端子、テストモード用のクロック入力端子であり、スイッチ回路10により選択され、そのクロック出力24は各スキャンバステスト用フリップフロップ群2<sub>1</sub>～2<sub>n</sub>のクロック入力となる。スイッチ回路10の制御入力はテストモード切換え端子7に接続され、ローレベルのとき、ノーマルモード用のクロック入力端子8が、ハイレベルの時はテストモード用のクロック入力端子9が接続される。

【0005】 図3は、図2においてスキャンバステスト用フリップフロップ群2<sub>1</sub>～2<sub>n</sub>の具体的な回路の例である。図3において、20<sub>1</sub>～20<sub>n</sub>はスキャンバスデータのラッチ用フリップフロップであり、22<sub>1</sub>～22<sub>n</sub>は各フリップフロップ20<sub>1</sub>～20<sub>n</sub>の入力切換え用スイッチである。各フリップフロップ20<sub>1</sub>～20<sub>n</sub>の出力は次段のフリップフロップの一方の入力であり、テストモード時はスイッチ22<sub>1</sub>～22<sub>n</sub>を介して直列接続され、フリップフロップ群20<sub>1</sub>～20<sub>n</sub>内部でも同様にスキャンバスが形成される。21<sub>1</sub>～21<sub>n</sub>は機能ブロック1<sub>1</sub>～1<sub>n</sub>の出力信号であり、スイッチ22<sub>1</sub>～22<sub>n</sub>を介してフリップフロップ群20<sub>1</sub>～20<sub>n</sub>の他方の入力となる。18、19はそれぞれテスト用フリップフロップ群20<sub>1</sub>～20<sub>n</sub>のスキャン入力とスキャン出力である。スイッチ22<sub>1</sub>～22<sub>n</sub>の制御は、テストモード切換え端子7からのモード切換え信号で行い、テストモード切換え信号がローレベルのときのスイッチ22<sub>1</sub>～22<sub>n</sub>の出力は、機能ブロック21<sub>1</sub>～21<sub>n</sub>の出力信号であり、テストモード切換え信号がハイレベルのとき出力は、前段のフリップフロップの出力である。

【0006】 また、24はクロック信号である。23<sub>1</sub>～23<sub>n</sub>はフリップフロップ群20<sub>1</sub>～20<sub>n</sub>の出力信号であり、次段の機能ブロックの入力になると共に、次段のフリップフロップ用スイッチ22<sub>1</sub>～22<sub>n</sub>の一方の入

力となる。

【0007】いま、図2において、テストモード切換え端子7がローレベルであったと仮定するとノーマルモードとなり、テスト用フリップフロップ群2<sub>1</sub>～2<sub>2</sub>はスキャン動作を行わず、前段機能ブロックの出力をクロックに同期してラッチし、後段機能ブロックに伝えるというシステム動作の一部として動作する。テストモード切換え信号がローレベルであるため、ノーマルモード時のクロック入力端子8のパルス入力を選択され、スイッチ回路10の出力であるクロック信号24として各スキャンバステスト用フリップフロップ群2<sub>1</sub>～2<sub>2</sub>に入力される。

【0008】また、図3におけるスイッチ22<sub>1</sub>～22<sub>2</sub>の出力として機能ブロック1<sub>1</sub>～1<sub>2</sub>の出力信号21<sub>1</sub>～21<sub>2</sub>が選択され、各ブロックのテスト用フリップフロップ群2<sub>1</sub>～2<sub>2</sub>はクロック入力24に同期して各々フリップフロップの前段ブロックの出力を後段ブロックの入力に伝える。

【0009】テストモード切換え端子7への入力をローレベルからハイレベルに切換えると、論理システムはテストモードとなる。図2において、各フリップフロップ群20<sub>1</sub>～20<sub>2</sub>のクロック入力には、スキャン用クロック端子9のクロック入力が入力され、スイッチ回路10により選択される。

【0010】以上の構成により、全てのテスト用フリップフロップ群が直列接続されスキャンクロック端子9のクロック入力に同期したテスト用スキャンバスを形成することができ、スキャンイン端子5より、各フリップフロップに対し所望の値を設定したり、ノーマル動作中にテストモードに切換え、その時点での各フリップフロップの出力をスキャンアウト端子6より取り出したりすることにより論理システムのテストを行うことができる。

【0011】

【発明が解決しようとする課題】このような機能ブロックごとに分割されたシステムにおいては、各ブロック単位で、あるいは関連のある複数のブロックでテストを行うのが一般的であるが、従来のこのような回路構成でテストを行う場合、スキャンバスが固定されているため、テストしたいブロックが全体の特定部分であってもスキャン化されたバス全体を考慮したテストパターンを作成する必要があり、テストプログラム開発が複雑化し、またスキャンバスの長さが長くなるとテストパターンのサイズの肥大化およびテスト時間の増大を招くという問題が発生している。

【0012】本発明は上記問題を解決するもので、スキャンバステスト手法を考慮した論理システムにおいて、テストを容易化する回路を提供することを目的としている。

【0013】

【課題を解決するための手段】本発明は上記目的を達成

するために、本発明のテスト回路は、スキャンバスによりグループ化された複数のブロックの中から、任意にテスト対象ブロックを選択し、かつテスト時のスキャンバス長をその対象ブロックのテストのために最小限必要な長さに変更可能とした。任意にテスト対象ブロックを選択するための手段としては、テスト対象ブロック各ブロックについてテストモード選択用フリップフロップを設け、これらのフリップフロップを直列に接続し、スキャンバスとは別にテストモード設定用スキャンバスを具備する。またテスト時のスキャンバスを変更する手段としては、テスト対象ブロック各ブロックに対応するスキャンバステスト用フリップフロップ群のスキャンイン端子に前ブロックに対応するスキャンバステスト用フリップフロップ群のスキャンアウト信号を入力するか、あるいは前ブロックをスキップし、前ブロックに対応するスキャンバス用フリップフロップ群のスキャンイン信号を入力するかを決定するスイッチ回路を具備し、このスイッチ回路は前述のテストモード設定用フリップフロップに設定された値により制御される構成とした。

【0014】

【作用】本発明は前述の構成により、テスト時のスキャンバス動作を対象ブロックのみに限定することができ、かつその時のスキャンバス長は対象ブロックのみの最小限度であるため、テストが容易化でき、かつテスト時間を削減することが可能となる。

【0015】

【実施例】以下、本発明の第1の実施例について図1を参照しながら説明する。

【0016】図1において、11<sub>1</sub>～11<sub>2</sub>はそれぞれテストモード設定用に直列接続されたフリップフロップであり、その出力は対応するブロックのスキャンバステスト用フリップフロップ群のテストモード設定信号であると共に、次段のフリップフロップの入力となる。このように各フリップフロップ11<sub>1</sub>～11<sub>2</sub>は直列接続されて、従来の各ブロックの出力データラッチ用のスキャンバスとは別のスキャンバスを形成する。12、13は、それぞれこのテストモード設定用のスキャンバスのスキャンイン端子と、スキャンアウト端子である。また、14はこのテストモード設定用フリップフロップのリセット入力端子であり、システムの初期化時に、即フリップフロップの出力をローレベルにセットするためのものである。15はテストモード設定用フリップフロップのスキャンクロック入力端子である。16<sub>1</sub>～16<sub>2</sub>はスキャンバステスト用フリップフロップ群2<sub>1</sub>～2<sub>2</sub>へのクロック入力ゲート回路であり、テストモード切換え端子7からのモード切換え信号がローレベルの時、あるいはテストモード切換え端子7からのモード切換え信号がハイレベルで、かつ対応するテストモード設定用フリップフロップの出力がハイレベルの時、クロック選択回路であるスイッチ回路10のクロック出力のフリップフロップ群

2<sub>1</sub>~2<sub>2</sub>への入力が可能される。

【0017】上記回路構成において、本論理システムは電源起動時、あるいは外部からの初期化指示によりリセット入力端子14への入力はハイレベルとなり、テストモード設定用フリップフロップ11<sub>1</sub>~11<sub>2</sub>は全て初期化され、その出力は全てローレベルとなる。また、テストモード切換え端子7への入力をローレベルに設定することにより、本論理システムはノーマルモード動作となる。テストモード切換え端子7からのテストモード切換え信号がローレベルであるため、クロック選択回路であるスイッチ回路10の出力はノーマルモード時のクロック端子8のクロック信号となり、前記クロック信号はクロック入力ゲート回路16<sub>1</sub>~16<sub>2</sub>を通過し、全フリップフロップ群に入力される。また、テストモード切換え信号は、各ブロックのテストモード切換え入力となっており、ローレベルであるため、全てのブロックのスキャンバステスト用フリップフロップ群2<sub>1</sub>~2<sub>2</sub>は各々の前段ブロックの出力をノーマルモード時のクロック端子8のクロック信号に同期して格納し、後段のブロックに伝えるというシステム動作の一部として動作する。システムのテスト時には、まずスキャン動作開始前に、テストモード切換え端子7のテストモード切換え信号をハイレベルに切換える。テストモード切換え信号をハイレベルに設定することにより、スキャンクロック入力端子8のクロック信号がクロック選択回路であるスイッチ回路10の出力クロック24として選択される。また、他方のテストモード設定用スキャンバスにおいて、スキャンクロック入力端子15のスキャンクロックに同期してスキャンイン端子12より、対象ブロックのテストモード設定信号のみがハイレベルとなるようにテストモード設定データを入力し、テストモード設定用フリップフロップ11<sub>1</sub>~11<sub>2</sub>に値を設定する。本操作により、テストモード設定用フリップフロップ11<sub>1</sub>~11<sub>2</sub>のうち対象ブロックのみテストモード設定信号がハイレベルとなり選択され、クロック入力ゲート回路16<sub>1</sub>~16<sub>2</sub>により、スキャンテスト用フリップフロップ群2<sub>1</sub>~2<sub>2</sub>の中のテスト対象ブロックにのみクロック入力が入力される。テスト用フリップフロップ群2<sub>1</sub>~2<sub>2</sub>については、図2、図3に示した従来例と同様に動作する。

【0018】このように、本発明の一実施例によれば、論理システムにおいて、グループ化された複数の機能ブロックからテスト対象ブロックのみを選択することが可能となる。

【0019】次に、本発明の第2の実施例について、図1を参照しながら説明する。図1において、17<sub>1</sub>~17<sub>2</sub>はスイッチ回路であり、対応するブロックのスキャンバステスト用フリップフロップ群2<sub>1</sub>~2<sub>2</sub>のスキャンアウト端子と、その次段のブロックのスキャンイン端子との間に接続される。スイッチ回路17<sub>1</sub>~17<sub>2</sub>の入力切換え信号は本発明の第1の実施例で述べたテストモ

ド設定用フリップフロップの出力に接続され、スイッチ回路17<sub>1</sub>~17<sub>2</sub>の選択入力には、一方が対応するブロックのスキャンバスのスキャン出力に、他方が前記スキャンバスのスキャン入力に接続される。

【0020】上記構成において、所定ブロックに対応するテストモード設定用フリップフロップの出力をハイレベルに設定すると、スキャンバスの切換え用スイッチの制御信号でもあるため、次段のブロックに対応するスキャンバスのスキャン入力には前記ブロックに対応するスキャンバスのスキャンアウト信号が選択される。また、テストモード設定用フリップフロップの出力をローレベルに設定すると、次段のブロックに対応するスキャンバスのスキャン入力には、前記ブロックのスキャンバスをスキップして、前記ブロックのスキャンバスのスキャン入力信号自身が選択される。

【0021】このように、本発明の第2の実施例によれば、テスト対象ブロックのスキャンバス用フリップフロップのみが直列接続され、論理システムのスキャンバスとして形成されることにより、テスト時の全体のスキャンバス長を最小限必要な長さに抑えることが可能となる。

#### 【0022】

【発明の効果】本発明によれば、スキャンバステスト手法を考慮した論理システムにおいて、スキャンバスによりグループ化された複数のブロックの中から任意にテスト対象ブロックを選択し、かつテスト時のスキャンバス長をその対象ブロックのテストのために最小限必要な長さに変更可能である。以上により、テスト対象ブロックを任意に選択し限定したテストを行うことができるため、テストパターンの作成が簡単化され、テストプログラムの開発工数を削減することができ、かつ故障発生時の解析工数を削減できる等の効率化を図ることができる。またテスト対象ブロックに最小限必要な長さのスキャンバスを構成するためテスト時間削減等の効率化を図ることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例であるテスト回路の構成図

【図2】従来のテスト回路の構成図

【図3】従来のテスト回路におけるスキャンバステスト用フリップフロップ群の回路構成図

#### 【符号の説明】

- 1<sub>1</sub>~1<sub>2</sub> 機能ブロック
- 2<sub>1</sub>~2<sub>2</sub> スキャンバステスト用フリップフロップ群
- 3 入力信号群
- 4 出力信号群
- 6 スキャンアウト端子
- 7 テストモード切換え端子
- 8 ノーマルモード用のクロック入力端子
- 9 テストモード用のクロック入力端子
- 10 スイッチ回路

7

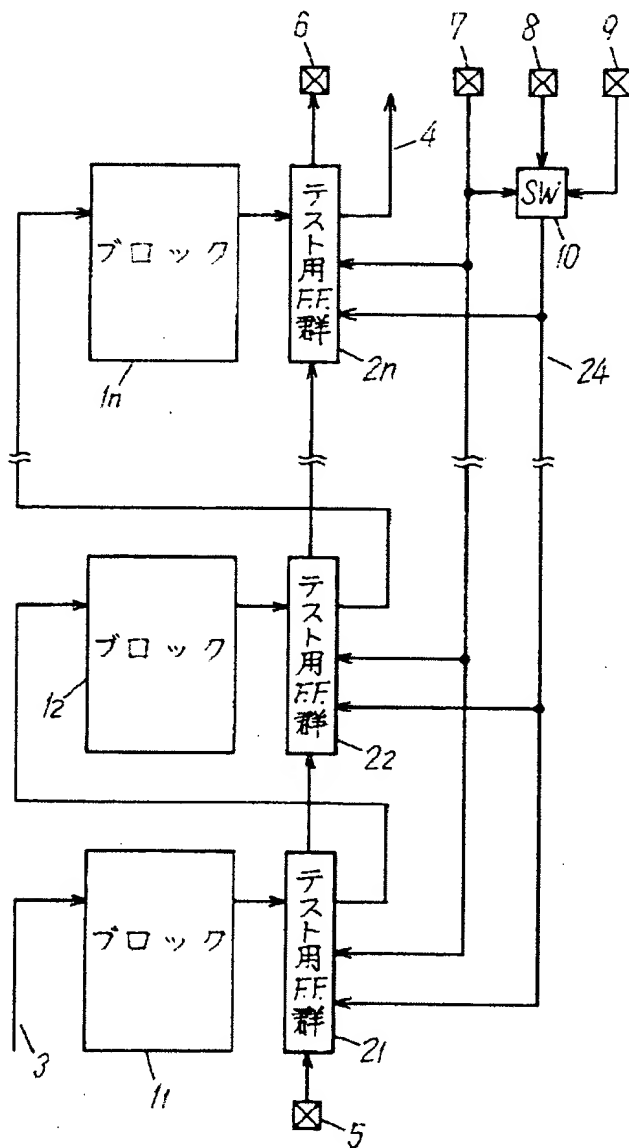
8

- 11:~11. テストモード設定用のフリップフロップ  
 12 テストモード設定用のスキャンイン端子  
 13 テストモード設定用のスキャンアウト端子  
 14 テストモード設定用フリップフロップのリセット入力端子  
 15 テストモード設定用フリップフロップのスキャンクロック入力端子  
 16:~16. クロック入力ゲート回路  
 17:~17. スイッチ回路  
 18 スキャンバステスト用フリップフロップ群のスキ

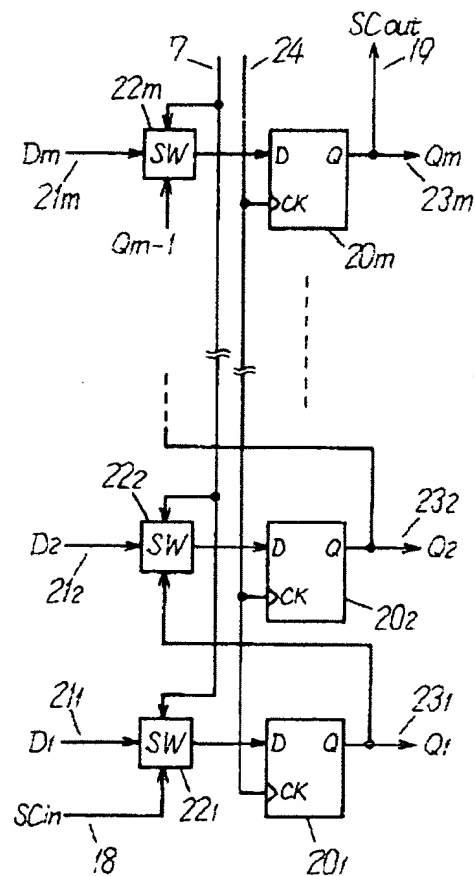
ヤン入力

- 19 スキャンバステスト用フリップフロップ群のスキャン出力  
 20:~20. スキャンバステスト用フリップフロップ  
 21:~21. 機能ブロックの出力信号  
 22:~22. 20:~20.の入力切換え用スイッチ  
 23:~23. スキャンバステスト用フリップフロップの出力信号  
 24 クロック入力切換え用スイッチ10のクロック信

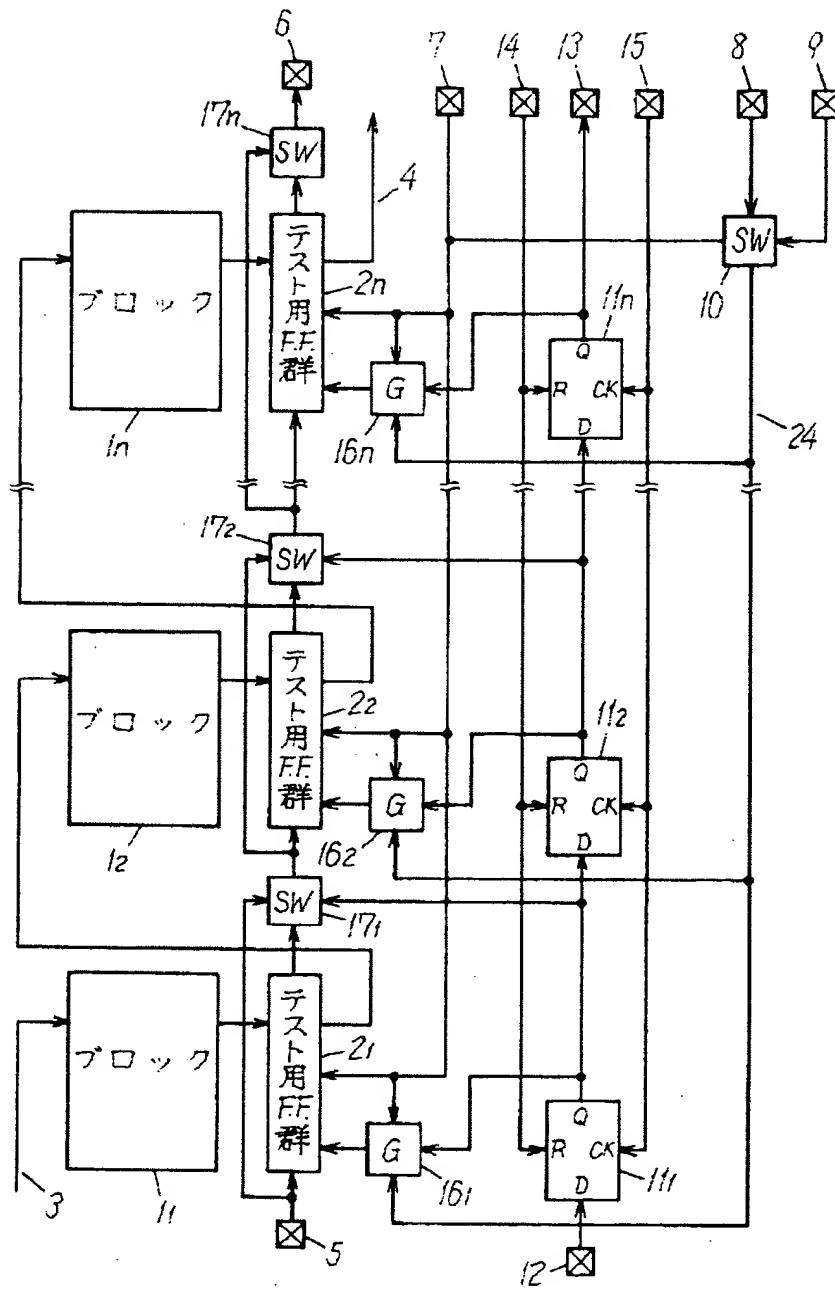
【図2】



【図3】



【图 1】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**